

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-230250

(43)Date of publication of application : 24.08.2001

(51)Int.Cl.

H01L 21/3205

H01L 21/82

H01L 21/8238

H01L 27/092

(21)Application number : 2000-035297

(71)Applicant : HITACHI LTD

(22)Date of filing : 14.02.2000

(72)Inventor : HOTTA SHOJI
FUKUDA HIROSHI
AOKI HIDEO
MORI KAZUTAKA
HASEGAWA NORIO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR AS WELL AS METHOD FOR FORMING MASK PATTERN

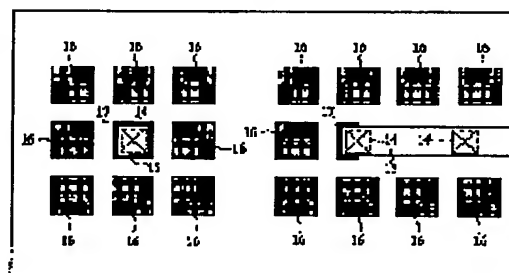
(57)Abstract:

PROBLEM TO BE SOLVED: To apply an OPC to a large scale logic circuit by reducing a DA treating time in the case of OPC treating a random pattern such as the logic circuit or the like.

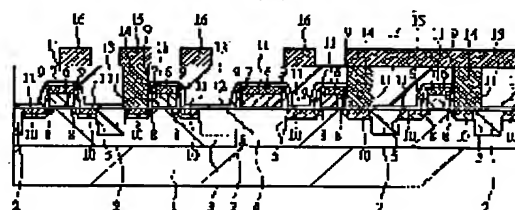
SOLUTION: A dummy pattern 16 is disposed on a periphery of a wiring 15 having an isolated patterning (e.g. a penetrating through hole pattern). In the case of applying the OPC to the penetrating through hole part or a line end of the wiring 15, a predetermined rule is applied without considering the state of a peripheral pattern, and a hammer head 17 is added.

Fig 5

(a)



(b)



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-230250

(P 2 0 0 1 - 2 3 0 2 5 0 A)

(43) 公開日 平成13年 8月24日 (2001. 8. 24)

(51) Int. Cl. ⁷

識別記号

F I

テ-マコード (参考)

H01L 21/3205

H01L 21/88

B 5F033

21/82

21/82

C 5F048

21/8238

21/88

S 5F064

27/092

27/08

321

F

審査請求 未請求 請求項の数 5 O L (全12頁)

(21) 出願番号 特願2000-35297 (P 2000-35297)

(22) 出願日 平成12年 2月14日 (2000. 2. 14)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 堀田 尚二

東京都青梅市新町六丁目16番地の 3 株式

会社日立製作所デバイス開発センタ内

(72) 発明者 福田 宏

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法並びにマスクパターンの生成方法

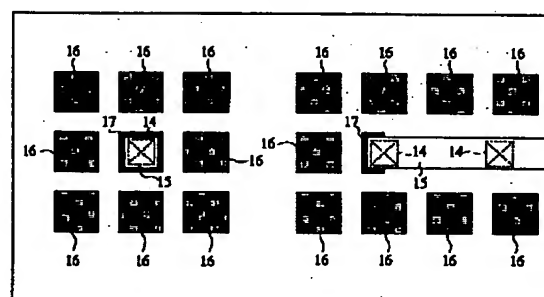
(57) 【要約】

【課題】 ロジック回路等のランダムパターンに対し、OPC処理を行う場合のDA処理時間を減らし、OPCの大規模ロジック回路への適用を可能にする。

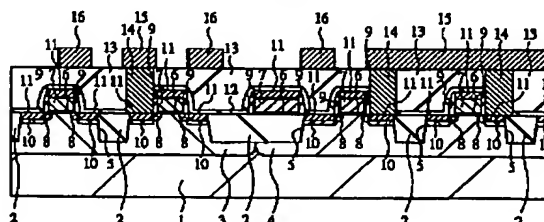
【解決手段】 孤立パターンニング (たとえば貫通スルーホールパターン) を含む配線 15 の周辺にダミーパターン 16 を配置する。そして、配線 15 の貫通スルーホール部あるいはライン端部にOPCを適用する場合、周辺パターンの状況を考慮せずに一定のルールを適用し、ハンマーヘッド 17 を付加する。

図 5

(a)



(b)



【特許請求の範囲】

【請求項1】 半導体素子が形成された半導体基板上のいずれかの層に絶縁膜を形成し、前記絶縁膜に下層配線または前記半導体素子に接続する接続部材を形成する工程と、前記接続部材上に導電膜を形成し、前記導電膜をパターンニングして配線層を形成する工程とを含む半導体装置の製造方法であって、前記導電膜のパターンニングには、配線として機能する配線パターンとダミーパターンとを含むマスクが用いられ、

前記配線パターンには、隣接するパターンの存在しない隣接パターン不存在部が含まれ、

前記隣接パターン不存在部の周辺には、前記ダミーパターンが配置され、

前記配線パターンを構成する個々のパターンに対する光近接効果補正は、周辺に配置されるパターンに依存せず、同一ルールを適用して行われることを特徴とする半導体装置の製造方法。

【請求項2】 半導体素子が形成された半導体基板上のいずれかの層に絶縁膜を形成し、前記絶縁膜に下層配線または前記半導体素子に接続する接続部材を形成する工程と、前記接続部材上に導電膜を形成し、前記導電膜をパターンニングして配線層を形成する工程とを含む半導体装置の製造方法であって、前記導電膜のパターンニングには、配線として機能する配線パターンとダミーパターンとを含むマスクが用いられ、

前記配線パターンには、隣接するパターンの存在しない隣接パターン不存在部が含まれ、

前記隣接パターン不存在部の周辺には、前記ダミーパターンが配置され、

前記配線パターンを構成する個々のパターンに対する光近接効果補正は、周辺に配置されるパターンに依存せず、同一ルールを適用して行われ、

前記ダミーパターンは、前記配線パターンに含まれる孤立パターンと同等の寸法で形成された方形パターンで構成され、前記方形パターンが前記孤立パターンを取り囲む位置に前記孤立パターンに近接して配置されたものであり、

前記ダミーパターンの前記方形パターンが、前記配線パターンの位置に配置されるときには、前記方形パターンは配置されないことを特徴とする半導体装置の製造方法。

【請求項3】 半導体素子が形成された半導体基板上のいずれかの層に絶縁膜を形成し、前記絶縁膜に下層配線または前記半導体素子に接続する接続部材を形成する工程と、前記接続部材上に導電膜を形成し、前記導電膜をパターンニングして配線層を形成する工程とを含む半導体装置の製造方法であって、

前記導電膜のパターンニングには、配線として機能する配

線パターンとダミーパターンとを含むマスクが用いられ、

前記配線パターンには、隣接するパターンの存在しない隣接パターン不存在部が含まれ、

前記隣接パターン不存在部の周辺には、前記ダミーパターンが配置され、

前記配線パターンを構成する個々のパターンに対する光近接効果補正は、周辺に配置されるパターンに依存せず、同一ルールを適用して行われ、

10 前記パターンニングに用いる露光の照明条件には、ラインアンドスペースパターンその他の繰り返しパターンに適した、輪帯照明その他の変形照明を適用することを特徴とする半導体装置の製造方法。

【請求項4】 半導体素子が形成された半導体基板と、前記半導体基板上の何れかの層に形成された絶縁膜と、前記絶縁膜に形成された接続部材と、前記絶縁膜上に形成された配線層とを含む半導体装置であって、

前記配線層には、配線として機能する配線パターンと、

配線としては機能しないダミーパターンとが含まれ、前記配線パターンには、密集パターンと孤立パターンとが含まれ、

前記ダミーパターンは、前記孤立パターンを取り囲む位置に前記孤立パターンに新設して形成されている第1の構成、または、前記ダミーパターンは、前記配線パターンに含まれる隣接パターン不存在部の周辺に配置される第2の構成、の何れかの構成を有することを特徴とする半導体装置。

【請求項5】 配線パターンとダミーパターンとを併有し、前記配線パターンには、隣接するパターンの存在しない隣接パターン不存在部が含まれるマスクパターンの生成方法であって、

前記隣接パターン不存在部の周辺に前記ダミーパターンを配置する第1の方法、

前記配線パターンを生成し、前記隣接パターン不存在部の周辺に前記ダミーパターンを配置し、前記配線パターンと前記ダミーパターンとが重畳して形成される前記ダミーパターンの部分を除去し、前記ダミーパターンと前記配線パターンとを合成する第2の方法、

前記配線パターンと前記配線パターンに含まれる孤立パターンとを別々のレイアウト層で生成し、前記孤立パターンの周辺に前記ダミーパターンを配置し、前記配線パターンと前記孤立パターンおよび前記ダミーパターンとを合成する第3の方法、または、

前記配線パターンと前記配線パターンに含まれる孤立パターンとを別々のレイアウト層で生成し、前記孤立パターンの周辺に前記ダミーパターンを配置し、前記孤立パターンおよび前記ダミーパターンと前記配線パターンとが重畳して形成される前記孤立パターンおよび前記ダミーパターンの部分を除去し、前記配線パターンと前記孤立パターンおよび前記ダミーパターンとを合成する第4

の方法、

の何れかの方法を有し、前記配線パターンを構成する個々のパターンに対する光近接効果補正を、周辺に配置されるパターンに依存せず、同一ルールを適用して行うことを特徴とするマスクパターンの生成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造技術に関し、特に、密集ラインパターンと孤立パターンとが共存するようなパターン層を有する半導体装置に適用して有効な技術に関する。

【0002】

【従来の技術】光リソグラフィ技術では、パターンの微細化に伴い光近接効果(OPE: Optical Proximity Effect)の影響が現れるようになり、光近接効果補正(OPC: Optical Proximity Correction)が必要になってくる。特にパターンサイズが露光波長程度あるいはそれ以下になると、光近接効果の影響が顕著となり、OPC適用の必要性が高くなる。なお、光近接効果補正に関しては、たとえば1998年11月30日 株式会社 培風館発行、「半導体プロセス技術」、p92~p93に記載されている。

【0003】DRAMのメモリセル等に形成されるパターンは周期パターンであり、このような周期パターンにOPCを適用する場合には、シミュレーションあるいは実験を行い、その結果をもとに基本セル(メモリセル)に対してのみOPCを行えばよい。つまり、1つの基本セルに対して最適なOPCの補正量、補正形状が得られれば、ほぼ全てのセルに対して均等なOPCを適用すれば足り、全てのセルに対して個々にOPCを行う必要はない。このように周期パターンに対して比較的簡単にOPCが適用できるため、周期パターンについては早くからOPCが導入されてきた。

【0004】

【発明が解決しようとする課題】ところが、ロジック回路に適用されるパターンはランダムである。これらランダムパターンの場合は、パターンサイズや周辺パターンとの距離、形状等がランダムであり、それら個々のランダムパターンに対して最適なOPC補正を適用しようとするれば、補正形状、補正量等を逐一計算しなければならない。ランダムパターンの場合に周辺パターンまで含めた大規模なOPCを適用しようとするれば、大規模で複雑なOPC処理が必要となる。DA処理時間の問題から、ロジックパターンに対してはルールベースのOPCが一般的である。ところが、そのルールが複雑であれば、やはりDA処理時間が膨大となり、OPCの適用が困難となってしまう。

【0005】また、OPCによるパターンサイズの補正は、基本的にベストフォーカス時の寸法を補正するので、異なるデフォーカス特性をもつパターンが共存する

場合、デフォーカス時まで考慮すると寸法精度の向上は困難である。

【0006】たとえば、ロジック配線層の貫通スルーホールパターンの場合、密集ラインパターンと孤立貫通スルーホールパターンが同一マスクに共存することになる。このような場合、OPCの適用は必須である。しかし、OPCの補正量は周辺パターンに依存するため、周辺パターンを考慮して補正形状、補正量等を決定しなければならない。ところが、周辺パターンの形状はランダムであり、複雑なOPCルールが必要となり、結果として膨大なDA処理時間を要する。また、貫通スルーホールサイズの補正のみを行った場合、ベストフォーカス時の寸法を補正することは可能であるが、孤立貫通スルーホールパターンとライン密集部とでは、デフォーカス特性が異なるため、デフォーカス時まで考えると寸法精度の向上は困難である。

【0007】ロジック配線層を例に図14を用いて説明する。図14(a)~(c)は、ロジック配線層に貫通スルーホールパターンTHと微細配線パターンLNが共存しているパターンレイアウトの例を示す平面図である。図14(a)は、貫通スルーホールパターンTHと微細配線パターンLNが孤立して存在している例を、図14(b)は、片側が開放、反対側が密集部となっている貫通スルーホールパターンTHと微細配線パターンLNの例を、図14(c)は、貫通スルーホールパターンTHと微細配線パターンLNが密集している例を示す。

【0008】たとえば露光波長0.248 μ m、ステップの開口数NA=0.6で通常照明を用いた場合に、光近接効果補正(OPC)を行わなければ、0.25 μ mラインの先端部の縮量は、本発明者らの実験結果によれば、孤立部で60nm、密集部で30nm程度になる。同様に、貫通スルーホールパターンは、本発明者らの実験結果によれば、孤立部で80nm、密集部で50nm程度の補正量が必要になる。このため、図14(a)から(c)に示すように、ライン先端には周辺パターンに応じたハンマーヘッドHHを付加しなければならない、また貫通スルーホールパターンTHに対しては周辺パターンに応じた寸法補正が必要になる。ただし、図14では、ライン先端のハンマーヘッドHHの付加および貫通スルーホール部の寸法補正のみを、ルールベースのOPCに従い適用した例を示している。寸法に影響を与える周辺パターンの対象領域が広いほどルールは複雑になり、DA処理の時間は膨大となる。さらに、一般的なルールベースのOPCでは、図15に示すようなパターンレイアウトの場合に、中心に位置するパターンP1が孤立部と判断され、孤立部と同じ補正を施す結果となる。このため、図15に示す矢印Aの個所での配線ショートマージンの低下を生じる。

【0009】本発明の目的は、孤立パターンあるいは隣接領域に他のパターンが存在しないパターンを含む配線

等のパターンの解像度を向上することにある。

【0010】また、本発明の他の目的は、孤立パターンとラインパターン等の繰り返しパターンが混在するパターン、すなわち、デフォーカス特性が異なるパターンが混在するパターンの解像度を向上することにある。

【0011】さらに、本発明の目的は、これら孤立パターンと密集パターンとが混在するパターンの光近接補正を現実的な補正計算の範囲内で精度良く行う方法を提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0014】本発明の半導体装置の製造方法は、半導体素子が形成された半導体基板上のいずれかの層に絶縁膜を形成し、絶縁膜に下層配線または半導体素子に接続する接続部材を形成する工程と、接続部材上に導電膜を形成し、導電膜をパターンニングして配線層を形成する工程とを含み、導電膜のパターンニングには、配線として機能する配線パターンとダミーパターンとを含むマスクが用いられ、配線パターンには、隣接するパターンの存在しない隣接パターン不存在部が含まれ、隣接パターン不存在部の周辺にダミーパターンが配置されているものである。

【0015】このような半導体装置の製造方法では、隣接パターン不存在部の周辺にダミーパターンが配置されているため、隣接パターン不存在部（代表的には孤立パターン）と密集パターンとのパターン間隔が擬似的にほぼ同等となり、同様な光近接効果を生じるようになる。このため、光近接効果補正を全てのパターンに均等な条件で適用することが可能となり、パターンごとに隣接パターンの形状、距離等を考慮して個別に補正計算する必要がない。この結果、光近接効果補正の計算が簡単になり、計算負荷を低減できる。一方、全てのパターンに的確な光近接補正を施すことができるため、パターン解像度は十分に高く維持することができる。

【0016】なお、ダミーパターンは、配線パターンに含まれる孤立パターンと同等の寸法で形成された方形パターンで構成され、方形パターンが孤立パターンを取り囲む位置に孤立パターンに近接して配置たものであり、方形パターンが配線パターンの位置に配置されるときには方形パターンは配置されないようにしても良い。

【0017】また、配線パターンを構成する個々のパターンに対する光近接効果補正は、周辺に配置されるパターンに依存せず、同一ルールを適用して行うことができる。

【0018】また、パターンニングに用いる露光の照明条

件には、ラインアンドスペースパターンその他の繰り返しパターンに適した、輪帯照明その他の変形照明を適用することができる。すなわち、ダミーパターンを配置しているので、孤立パターンはもはやデフォーカス特性の面では孤立パターンとしてではなく、ラインアンドスペース等と同様に繰り返しパターンと同等なデフォーカス特性を持つ。このため、輪帯照明等、繰り返しパターンに適した変形照明を適用することができ、デフォーカス特性を最適化して、さらに解像度を向上することができる。

【0019】本発明の半導体装置は、半導体素子が形成された半導体基板と、半導体基板上の何れかの層に形成された絶縁膜と、絶縁膜に形成された接続部材と、絶縁膜上に形成された配線層とを含み、配線層には、配線として機能する配線パターンと、配線としては機能しないダミーパターンとが含まれ、配線パターンには、密集パターンと孤立パターンとが含まれ、ダミーパターンは、孤立パターンを取り囲む位置に孤立パターンに新設して形成されているもの、あるいはダミーパターンは、配線パターンに含まれる隣接パターン不存在部の周辺に配置されるものである。このような半導体装置は、前記した半導体装置の製造方法により製造される。

【0020】また、本発明のマスクパターン生成方法は、配線パターンとダミーパターンとを併有し、配線パターンには、隣接するパターンの存在しない隣接パターン不存在部が含まれるマスクパターンの生成方法であって、隣接パターン不存在部の周辺にダミーパターンを配置する第1の方法、配線パターンを生成し、隣接パターン不存在部の周辺にダミーパターンを配置し、配線パターンとダミーパターンとが重畳して形成されるダミーパターンの部分を除去し、ダミーパターンと配線パターンとを合成する第2の方法、配線パターンと配線パターンに含まれる孤立パターンとを別々のレイアウト層で生成し、孤立パターンの周辺にダミーパターンを配置し、配線パターンと孤立パターンおよびダミーパターンとを合成する第3の方法、または、配線パターンと配線パターンに含まれる孤立パターンとを別々のレイアウト層で生成し、孤立パターンの周辺にダミーパターンを配置し、孤立パターンおよびダミーパターンと配線パターンとが重畳して形成される孤立パターンおよびダミーパターンの部分を除去し、配線パターンと孤立パターンおよびダミーパターンとを合成する第4の方法、の何れかの方法を有し、配線パターンを構成する個々のパターンに対する光近接効果補正を、周辺に配置されるパターンに依存せず、同一ルールを適用して行うものである。このようなマスクパターン生成方法により、前記製造方法で用いるマスクを生成することができる。

【0021】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。なお、実施の形態を説明す

るための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0022】図1～図12（図8、図9を除く）は、本発明の一実施の形態である半導体装置の製造工程の一例を工程順に示した断面図または平面図である。図8および図9は、本実施の形態の製造方法で用いるマスクのパターン生成方法を説明する概念図である。

【0023】まず、図1に示すように、半導体基板1の主面に素子分離領域2を形成し、n型ウェル3、p型ウェル4を形成する。

【0024】たとえばp型で比抵抗が $10\Omega\text{cm}$ 程度の単結晶シリコンからなる半導体基板1を用意し、たとえば 850°C 程度でウェット酸化して形成した膜厚 10nm 程度の薄いシリコン酸化膜（図示せず）およびたとえばCVD（Chemical Vapor Deposition）法で形成した膜厚 140nm 程度のシリコン窒化膜（図示せず）を半導体基板1上に堆積する。その後、フォトリソ膜をマスクにして、半導体基板1をドライエッチングすることにより、素子分離領域の半導体基板1に深さ $300\sim400\text{nm}$ 程度の溝5を形成する。その後、たとえばオゾン（ O_3 ）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積されたシリコン酸化膜（図示せず）を $300\sim400\text{nm}$ 程度の膜厚で堆積し、このシリコン酸化膜をCMP法により研磨して溝5以外の領域のシリコン酸化膜を除去し、溝5の内部にシリコン酸化膜を残して素子分離領域2を形成する。

【0025】次に、半導体基板1の表面に残存しているシリコン窒化膜をたとえば熱リン酸を用いたウェットエッチングで除去し、犠牲酸化膜の形成後、イオン注入を行って、n型ウェル3およびp型ウェル4を形成する。なお、このイオン打ち込みに続いて、MISFETのしきい値電圧を調整するためのイオン打ち込みをしても良い。

【0026】次に、図2に示すように、半導体基板1の表面に、ゲート絶縁膜6を形成する。ゲート絶縁膜6は、たとえばCVD法により形成し、膜厚はたとえば 7nm とする。その後、ゲート絶縁膜6上にゲート電極となる多結晶シリコン膜（図示せず）を形成し、この多結晶シリコン膜を所定のパターンにパターニングして、ゲート電極7を形成する。その後、ゲート電極7の存在下でイオン注入を行い、MISFETのソース・ドレイン領域となる不純物半導体領域8を形成する。不純物半導体領域8は、ゲート電極7に対して自己整合的に形成され、n型ウェルにはp型不純物が、p型ウェルにはn型不純物が導入されるように形成される。また、不純物半導体領域8には、低濃度の不純物が導入される。

【0027】次に、図3に示すように、ゲート電極7の側壁にサイドウォールスペーサ9が形成される。サイドウォールスペーサ9の形成は、たとえばシリコン窒化膜を半導体基板1の全面にたとえばCVD法を用いて形成

し、このシリコン窒化膜を異方性エッチングして、ゲート電極7の側壁にのみ残存するように形成する。シリコン窒化膜はシリコン酸化膜に代えることができる。その後、サイドウォールスペーサ9およびゲート電極7の存在下で、イオン注入を行い、高濃度の不純物半導体領域10を形成する。不純物半導体領域10は、サイドウォールスペーサ9に対して自己整合的に形成され、n型ウェルにはp型不純物が、p型ウェルにはn型不純物が導入されるように形成される。また、不純物半導体領域10には、高濃度の不純物が導入される。このようにして、高濃度の不純物半導体領域10および低濃度の不純物半導体領域8とでLDD（Lightly Doped Drain）が構成される。その後、シリサイド層11を形成する。シリサイド層11は、たとえば半導体基板1の全面にタングステン、チタン、コバルト等の金属膜を堆積し、その後熱処理を施して、前記金属膜をシリコンとが接している部分にシリサイド反応を発生させる。この後未反応の金属膜を選択的に除去する。すなわち、いわゆるシリサイド法を用いて形成できる。このようにシリサイド層11を形成することにより、ゲート電極7の抵抗を低減し、また、ソース・ドレイン領域の接触抵抗を低減できる。

【0028】次に、図4に示すように、絶縁膜12、13を形成し、接続部材であるプラグ14を形成する。

【0029】絶縁膜12には、たとえばCVD法によるシリコン窒化膜を用いることができる。

【0030】絶縁膜13には、たとえばTEOSとオゾンを用いてCVD法により形成したシリコン酸化膜を適用できる。また、SOG（Spin On Glass）等流動性の高い絶縁膜を用いても良い。また、絶縁膜13の表面はCMP法により平坦化できる。

【0031】プラグ14は、絶縁膜13に開口した接続孔内に形成する。接続孔は、たとえばシリコン酸化膜がエッチングされやすくシリコン窒化膜がエッチングされ難い第1のエッチングにより絶縁膜13をエッチングした後、シリコン窒化膜がエッチングされる第2のエッチングで絶縁膜12をエッチングしても良い。この場合、第1のエッチングではシリコン窒化膜で構成した絶縁膜12がエッチングストップとして機能し、半導体基板1（素子分離領域2）の過剰なエッチングを防止できる。接続孔を形成した後、この接続孔を埋め込む導電膜を堆積する。導電膜にはたとえば多結晶シリコン膜を適用できる。多結晶シリコン膜に代えて、窒化チタン膜とタングステン膜との積層膜を適用することもできる。これら導電膜を形成後、CMP法を適用して導電膜を研磨し、あるいはエッチバック法を適用して絶縁膜13上の導電膜をエッチングし、接続孔の内部にのみ導電膜が残存するようにする。これによりプラグ14を形成する。

【0032】なお、プラグ14は、図14（a）の平面図に示すようなレイアウトで形成する。

【0033】次に、図5に示すように、配線15およびダミーパターン16を形成する。配線15およびダミーパターン16の形成は、プラグ14の形成後、半導体基板1（絶縁膜13）上に導電膜を全面に堆積し、これをパターンニングして形成できる。導電膜には、たとえばタングステン膜、窒化チタンとタングステン膜との積層膜を適用できる。

【0034】配線には、孤立パターンが含まれ、図15(a)に示す場合では、プラグ14上にのみ形成される配線15（貫通スルーホール部）が孤立パターンに相当する。また、プラグ14上にのみ形成されるわけではないが、周辺に配線パターンが存在しない配線15（図15(a)においては右側部分の配線15）も孤立パターンに含む。このような周辺に配線パターンが存在しない配線15の周辺にはダミーパターン16が形成される。

【0035】ダミーパターン16は配線としての機能はなく、図示するように孤立パターンと同等の寸法の方形で形成され、各方形パターンは孤立パターンを取り囲むように形成する。このようなダミーパターン16により、OPCの対象となるパターン（配線15）の周辺状況がほぼ一定になるようにしている。

【0036】また、配線15のOPCが必要な部分には、ハンマーヘッド17が付加される。このハンマーヘッド17は、光近接効果によりパターン面積が縮む分を補償するものであり、ハンマーヘッド17を配線15に付加した状態でマスクを作成し、フォトリソグラフィを適用することにより、適正な形状でパターンが現像される。本実施の形態では、ダミーパターン16を配置しているので、配線15の周辺のパターン状況が一定になっており、OPCを適用するルールを一定にして、OPCにかかる計算負荷を低減できる。

【0037】次に、ダミーパターン16の配置方法を図6および図7を用いて説明する。まず、配線15のうちラインの先端部Bおよび貫通スルーホール部Cの周辺に図示するような一定形状のダミーパターン16を付加する。ダミーパターン16は8個の方形パターンがからなり、各方形パターンは貫通スルーホール部Cを取り囲むように配置される。

【0038】次に、必要ならばダミーパターンが配線パターンと重なった部分Dは、配線パターンとダミーパターンの共通部分を取り出す等の、OPC機能を備えていない従来のDAツールでも処理可能な簡単なDA処理を施し、ダミーパターンを消去する。図7に示す密集パターンに場合には、このダミーパターンの消去により全くダミーパターンが配置されない状況も生ずる。この結果、OPC処理が必要な部分の周辺パターン状況をほぼ一定にでき、周辺パターンに依存しない一定のハンマーヘッドの付加あるいは寸法補正で、個別にOPC処理を行った場合と同様な効果を得ることができる。この場合、OPC処理は周辺パターンの状況を勘案する必要が

なく、DA処理の高速化が可能となる。また、図15に示すような最も好ましくない状況を回避できる。

【0039】図8は、ダミーパターンの生成手順を示す概念図である。図9は、パターン生成に用いるコンピュータシステムの概念図である。図9に示すような、サーバ30に接続されたワークステーション31を用いてパターンの生成を行う。サーバ30には、パターンデータベース32が格納されている。図8に示すように、まず、設計パターンデータベース20に設計パターンデータを蓄積する。その後、階層化された設計パターンデータを生成し、階層パターンデータベース21に蓄積する。この階層パターンデータからダミーパターンを付加すべきパターンを抽出する（ステップ22）。なお、すでに対象パターンが階層化されて別層で定義されているときにはこのステップは不要である。次に、対象パターンの周辺にダミーパターンをルールに従って生成し（ステップ23）、次いで設計パターンデータベース20の設計パターンを参照してパターンの重なりを抽出し、これを削除する（ステップ24）。そして、このデータを補正後データとして補正後データベース25に格納する。その後、一定のルールつまり周辺パターンの状況を考慮しないOPCを実施してマスクパターンを生成する。

【0040】なお、ここでは、配線パターンの形成後にダミーパターンおよび貫通スルーホールパターンを重ねて、重畳部を消去するパターン生成方法を説明したが、配線パターンから貫通スルーホールパターンを分離せずにダミーパターンを配置しても良い。また、ダミーパターンを配置後、重畳部を消去せず、ダミーパターンと配線パターンとを重ねて形成しても良い。この場合ダミーパターンの幅は配線パターンに幅よりも狭いか同じであることが好ましい。また、配線パターンに重ならないようにダミーパターンを配置してもよい。

【0041】また、ダミーパターン16を付加する処理とハンマーヘッド17を付加する処理を別々に行わずに、例えば、周辺ダミーパターンとハンマーヘッドを1つの設計セルとし、ハンマーヘッド付加の際に同時にダミーパターンも付加されるようにし、最後に配線パターンと重なったダミーパターンを消去してもよい。配線パターンで高精度の加工が必要となるのは、その上層または下層のスルーホールパターンが接続する部分であり、この部分のみにダミーパターンを配置するには、各スルーホールパターンの周辺にダミーパターンを配置したのち、配線層に合成すればよい。この場合も、必要に応じて配線パターンと重なったダミーパターンを簡単なDA処理により削除することは可能である。

【0042】また、加工ルールが比較的緩い場合に、ダミーパターン配置のみで目標加工精度を達成できれば、配線パターンに対してのOPCは不要である。

【0043】さらに、特に輪帯照明等変形照明を用いた

10

20

30

40

50

場合、ダミーパターン配置によりフォーカスマージンを大きく向上させることができる。図10に、 $0.25\mu\text{m}$ 幅のラインアンドスペース(E)と孤立貫通スルーホールパターンの周辺ダミーパターンありの場合(F)と周辺ダミーパターンなし(G)の場合のフォーカスマージンのシミュレーション結果を示す。輪帯照明を用いた場合に、周辺ダミーパターンの付加によりフォーカスマージンを拡大できることがわかる。また、単なる貫通スルーホールパターンの寸法補正の場合に比較して、デフォーカス時の寸法変動をラインアンドスペースのデフォーカス特性に近づけることができ、デフォーカス時まで考慮して寸法精度を向上することが可能となる。

【0044】また、前記ダミーパターン16はハンマーヘッド17が形成される位置を中心に配置する例を示したが、図11に示すように、ラインパターンLの側にダミーパターン16が配置されても良い。

【0045】次に、図12に示すように、配線15、ダミーパターン16を覆う絶縁膜40を形成し、プラグ41を形成する。絶縁膜40は絶縁膜13と同様であり、プラグ41はプラグ14と同様である。

【0046】さらに、配線42およびダミーパターン43を、図13に示すように形成する。配線42およびダミーパターン43は、配線15およびダミーパターン16と同様である。さらに、同様にして上層配線を形成できるが、詳細な説明は省略する。

【0047】本実施の形態によれば、配線パターンの周辺に他の配線が存在しない孤立パターン(たとえば貫通スルーホールパターン)の周辺にダミーパターンを配置するため、配線パターンの周辺状況を密集パターンの領域と同じにすることができる。この結果、孤立パターンと密集パターンとが混在するような回路、たとえばロジック回路のような半導体装置においても、OPCを簡易に適用できる。つまり、孤立パターンであっても、密集パターンと同様のパターン周辺状況を実現できるので、OPCを適用する際に、周辺パターンの状況を考慮せずに、一定の最適なルールを設定できる。このため、OPCにかかる計算負荷を低減して計算時間を短縮し、あるいは、大規模な回路にOPCを適用でき、配線パターンニングの精度を向上できる。また、輪帯照明等、ラインアンドスペースパターンの解像に適した変形照明を用いることができ、フォトリソグラフィの焦点深度を大きくして解像度を向上できる。

【0048】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0049】たとえば、実施の形態では、ロジック回路等一般的なMISFET回路について説明したが、DRAM、システムLSI、フラッシュメモリ等にも適用で

きる。

【0050】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0051】(1) 孤立パターンあるいは隣接領域に他のパターンが存在しないパターンを含む配線等のパターンの解像度を向上できる。

【0052】(2) 孤立パターンとラインパターン等の繰り返しパターンが混在するパターン、すなわち、デフォーカス特性が異なるパターンが混在するパターンの解像度を向上できる。

【0053】(3) これら孤立パターンと密集パターンとが混在するパターンの光近接補正を現実的な補正計算の範囲内で精度良く行うことができる。

【0054】つまり、ロジック回路等のランダムパターンに対し、OPC処理を行う場合のDA処理時間を減らし、OPCの大規模ロジック回路への適用を可能にする。この結果、半導体集積回路装置、特にロジック回路等の加工精度を向上させることができ、さらに、パターンの微細化を可能にする。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体装置の製造方法の一例を工程順に示した断面図である。

【図2】実施の形態の半導体装置の製造方法の一例を工程順に示した断面図である。

【図3】実施の形態の半導体装置の製造方法の一例を工程順に示した断面図である。

【図4】実施の形態の半導体装置の製造方法の一例を工程順に示したものであり、(a)は平面図、(b)は断面図である。

【図5】実施の形態の半導体装置の製造方法の一例を工程順に示したものであり、(a)は平面図、(b)は断面図である。

【図6】(a)、(b)は、図5の段階における他の領域を示した平面図である。

【図7】図5の段階におけるさらに他の領域を示した平面図である。

【図8】実施の形態の半導体装置の製造方法で用いるマスクの生成方法を示す概念図である。

【図9】マスクパターンの生成に用いるコンピュータシステムを示す概念図である。

【図10】(a)、(b)は、図5に示す半導体装置の他の例を示す平面図である。

【図11】照明条件による焦点深度の相違を示すグラフである。

【図12】実施の形態の半導体装置の製造方法の一例を工程順に示したものであり、(a)は平面図、(b)は断面図である。

【図13】実施の形態の半導体装置の製造方法の一例を

13

工程順に示したものであり、(a)は平面図、(b)は断面図である。

【図14】(a)～(c)は、本発明の課題を示す平面図である。

【図15】本発明の課題を示す平面図である。

【符号の説明】

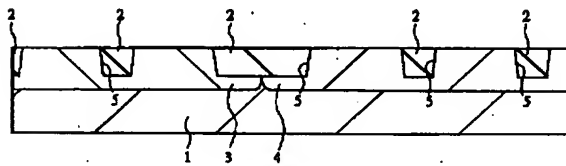
- 1 半導体基板
- 2 素子分離領域
- 3 n型ウェル
- 4 p型ウェル
- 5 溝
- 6 ゲート絶縁膜
- 7 ゲート電極
- 8 不純物半導体領域
- 9 サイドウォールスペーサ
- 10 不純物半導体領域
- 11 シリサイド層

14

- 12 絶縁膜
- 13 絶縁膜
- 14 プラグ
- 15 配線
- 16 ダミーパターン
- 17 ハンマーヘッド
- 20 設計パターンデータベース
- 21 階層パターンデータベース
- 25 補正後データベース
- 10 30 サーバ
- 31 ワークステーション
- 32 パターンデータベース
- 40 絶縁膜
- 41 プラグ
- 42 配線
- 43 ダミーパターン

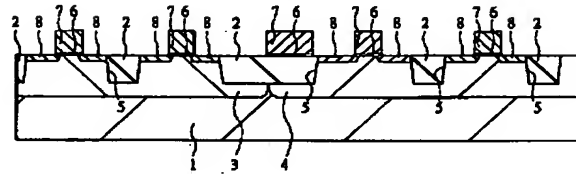
【図1】

図 1



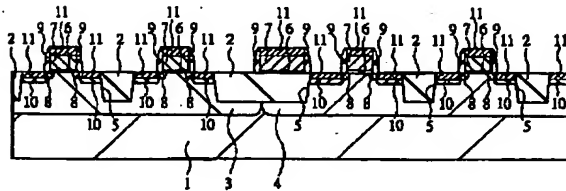
【図2】

図 2



【図3】

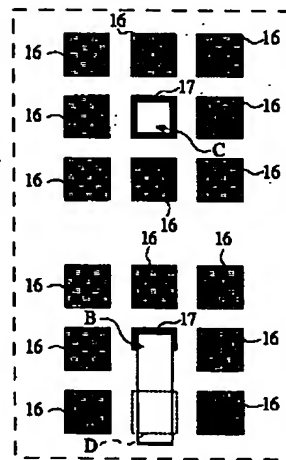
図 3



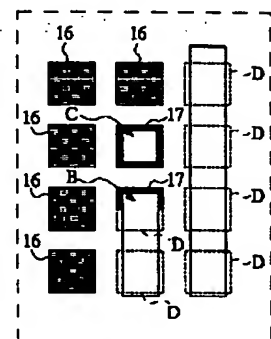
【図6】

図 6

(a)



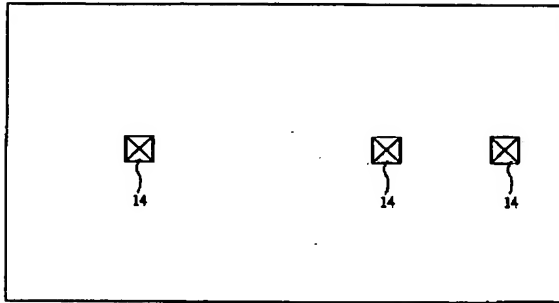
(b)



【図 4】

図 4

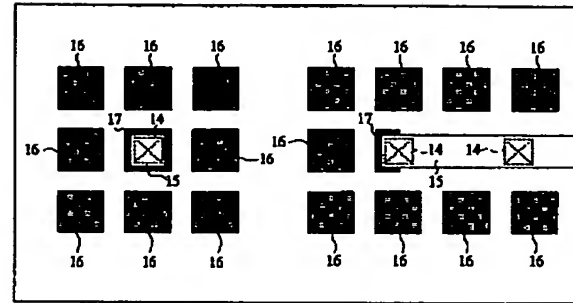
(a)



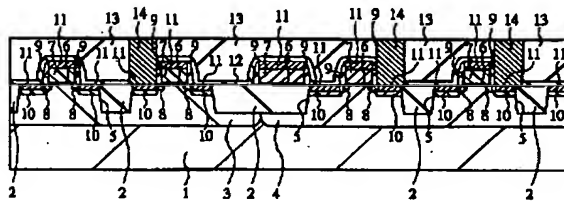
【図 5】

図 5

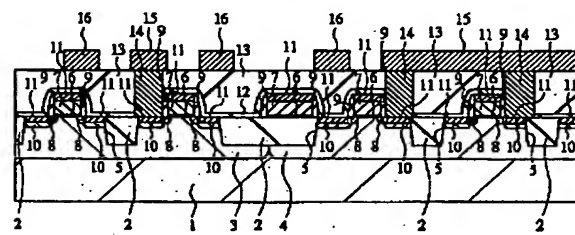
(a)



(b)

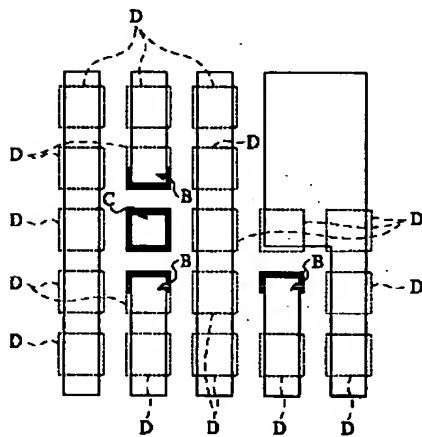


(b)



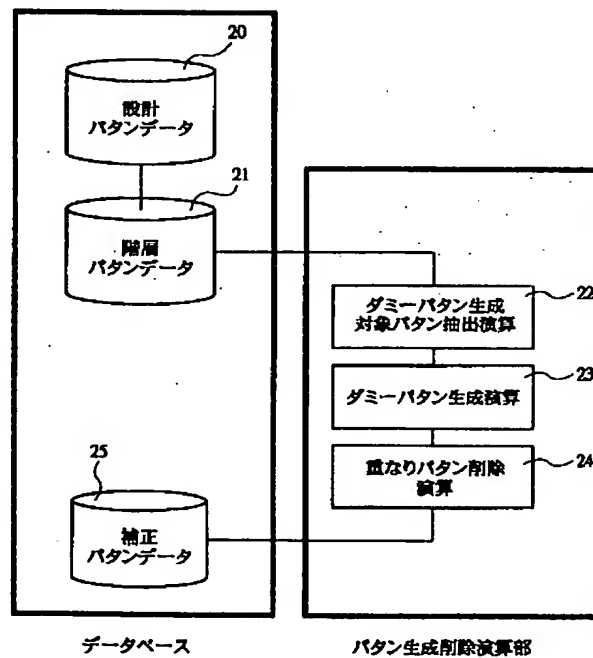
【図 7】

図 7



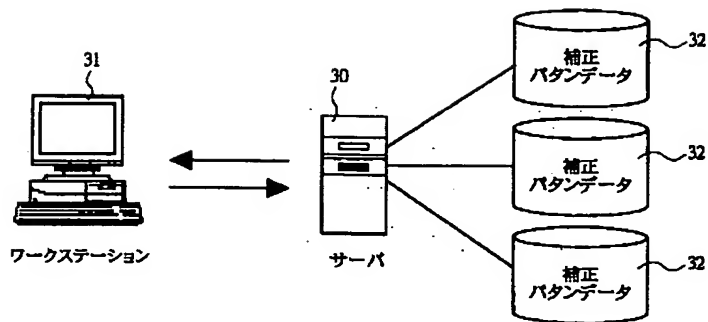
【図 8】

図 8



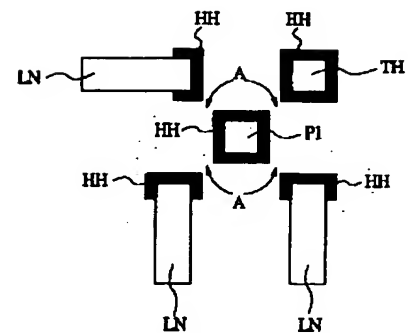
【図 9】

図 9



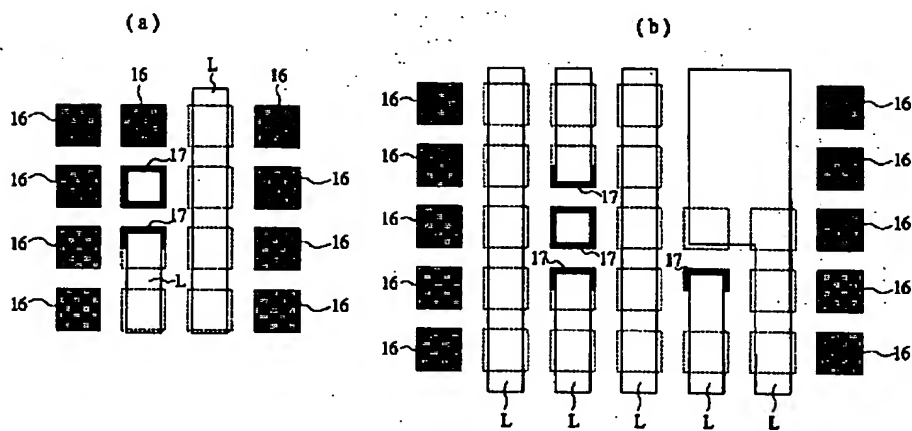
【図 15】

図 15



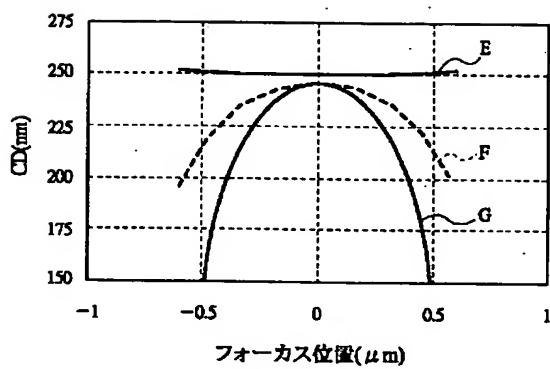
【図 10】

図 10



【図 11】

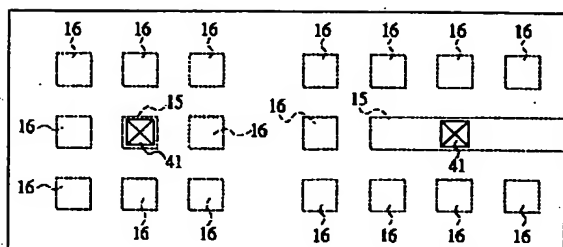
図 11



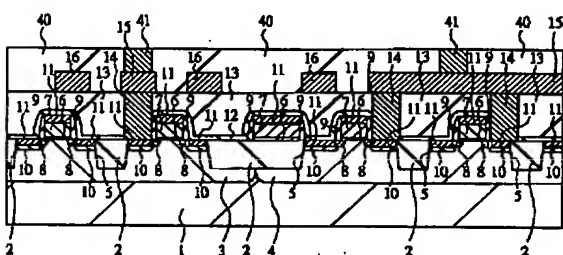
【図 1 2】

図 12

(a)



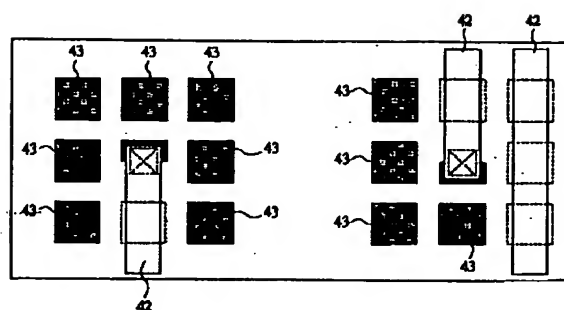
(b)



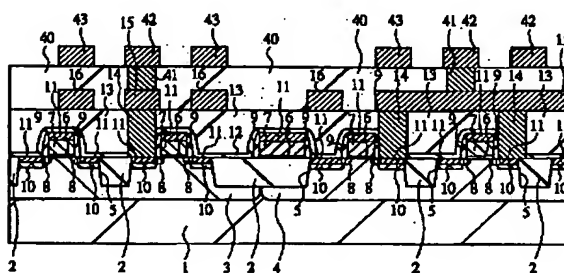
【図 1 3】

図 13

(a)



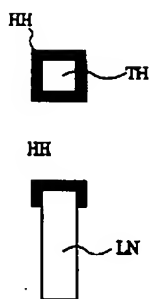
(b)



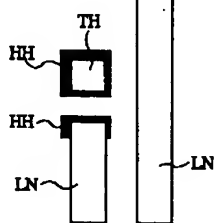
【図 1 4】

図 14

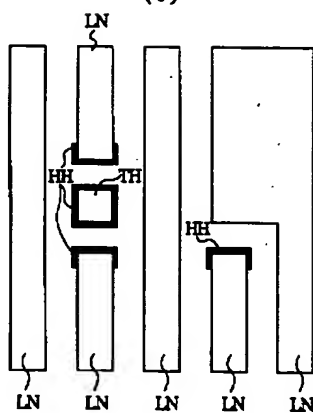
(a)



(b)



(c)



フロントページの続き

(72)発明者 青木 英雄

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 森 和孝

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 長谷川 昇雄

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

Fターム(参考) 5F033 QQ01 QQ08 QQ37 QQ48 UU01

VV01

5F048 AC03 BE03 BF00

5F064 EE15